

Conception d'un processeur avec jeu d'instructions élémentaires



École / Prépa
ENSEIRB-
MATMECA

Présentation

Code interne : EEL8-NUME4

Description

L'objectif de ce module est d'assembler des fonctions élémentaires (combinatoires et séquentielles) pour réaliser un processeur programmable avec un jeu d'instructions élémentaires. L'architecture conçue sera intégrée sur une carte de prototypage FPGA.

Le processeur à concevoir est un processeur 8-bits à usage universel. Il est capable d'exécuter 4 types d'instructions. Ce processeur est basé sur un registre accumulateur appelé ACCU de taille 8 bits. Chaque instruction est codée sur 8 bits. Deux bits pour coder le type de l'opération (code.op) et 6 bits pour coder l'opérande ou l'adresse de l'opérande dans la mémoire selon le type de l'instruction.

Heures d'enseignement

CI	Cours Intégrés	24h
----	----------------	-----

Pré-requis obligatoires

EN102, EN103, EN201, EN202

Syllabus

Durant les premières séances, l'architecture typique simplifiée des processeurs à usage universel est détaillée. Puis un travail sur table aboutira à la définition d'un schéma bloc hiérarchique du processeur.

Les autres séances sont consacrées à la conception du processeur à l'aide du langage VHDL dans l'environnement Vivado de Xilinx.

Informations complémentaires

Bibliographie

1 support de cours et 1 support de TP.

Modalités de contrôle des connaissances

Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Contrôle Continu Intégral	Contrôle Continu			2		

Infos pratiques

Contacts

Responsable module

Camille Leroux

✉ Camille.Leroux@bordeaux-inp.fr