



## Présentation

**Code interne :** ES6EN112

## Description

Il s'agit de réaliser un projet en VHDL, pour l'instant à partir d'un loto.

Les objectifs sont simples mais indispensables :

- apprendre l'autonomie,
- acquérir des compétence en VHDL,
- développer un esprit synthétique pour la rédaction du rapport,
- améliorer l'anglais (l'anglais n'est pas obligatoire mais bien valorisé),
- acquérir des compétences en présentation de projet avec une petite soutenance.

## Heures d'enseignement

CI	Cours Intégrés	32h
----	----------------	-----

## Pré-requis obligatoires

Syntaxe VHDL  
Machine d'état  
Notion d'horloge et de signaux d'enable

## Syllabus

Projet sur ordinateur avec implémentation sur carte FPGA

- Tirage du loto sur carte NEXYS 3 (Spartan6)
- Tirage manuel avec gestion des nombres enregistrés et des doubles.
- Affichage des résultat sur 4 afficheurs 7 segments

## Modalités de contrôle des connaissances

### Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Projet	Rapport			0.4		
Contrôle Terminal	Ecrit	80		0.6		sans document

### Seconde chance / Session de rattrapage - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Epreuve terminale	Ecrit	80		0.6		sans document

## Infos pratiques

### Contacts

Camille Leroux

✉ [Camille.Leroux@bordeaux-inp.fr](mailto:Camille.Leroux@bordeaux-inp.fr)