

Présentation

Code interne : EE8EA202

Description

Le concept de synthèse de fréquence est d'abord introduit, de même que les enjeux et limitations de la fonction. Par la suite les différents blocs constituant une boucle à verrouillage de phase sont détaillés ainsi que leur impact sur les performances de la PLL.

Heures d'enseignement

CI	Cours Intégrés	5h
TD	Travaux Dirigés	4h

Syllabus

1/ PLL Basics2/ Phase Comparators et PLL Operating Modes3/ Loop Filter et PLL Performances 4/ Conclusion

Modalités de contrôle des connaissances

Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Contrôle Continu Intégral	Contrôle Continu			1		

Infos pratiques

Contacts

Yann Deval

✉ Yann.Deval@bordeaux-inp.fr