



Présentation

Code interne : ESE8-NUME1

Description

L'objectif de cet enseignement est de faire comprendre les enjeux liés à la vérification des systèmes numériques lors de leurs phases de conception. Afin d'améliorer les processus de conception et réduire le temps de développement, les méthodes usuelles employées lors de la conception de systèmes numériques sont détaillées. Enfin, ces méthodes sont mise en oeuvre durant une séquence de TDs/TPs à l'aide des langages C et VHDL.

Objectifs

Compétence(s) développée(s) grâce à ce module :

- Analyser et utiliser les méthodes et outils de conception informatique pour les systèmes embarqués - niveau 2
- Analyser et utiliser les méthodes de conception de circuits numériques pour les systèmes embarqués - niveau 2

Heures d'enseignement

CM	Cours Magistraux	8h
TDM	Travaux Dirigés sur Machine	12h

Pré-requis obligatoires

Une maîtrise des langages C/C++ et VHDL est nécessaire.

Syllabus

Partie 1: Les enjeux de la vérification des systèmes

Partie 2: Les méthodes de vérifications

Partie 3: Les outils de vérification pour le développement logiciel.

Partie 4: Les outils de vérification pour le développement matériel.

Informations complémentaires

Vérification, Cycle en V, Programmation logicielle (C/C++), Architectures matérielles (VHDL), testbench

Modalités de contrôle des connaissances

Évaluation initiale / Session principale - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Contrôle Terminal	Ecrit			0.33		
Contrôle en cours de Semestre	Compte-Rendu			0.66		

Seconde chance / Session de rattrapage - Épreuves

Type d'évaluation	Nature de l'épreuve	Durée (en minutes)	Nombre d'épreuves	Coefficient de l'épreuve	Note éliminatoire de l'épreuve	Remarques
Epreuve terminale	Ecrit			1		

Infos pratiques

Contacts

Intervenant

Yoann Kervarec

✉ Yoann.Kervarec@bordeaux-inp.fr